

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74372

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/8238  
27/092

識別記号

F I

H 0 1 L 27/08

3 2 1 E

審査請求 未請求 請求項の数26 OL (全 11 頁)

(21) 出願番号 特願平10-184670

(22) 出願日 平成10年(1998) 6月30日

(31) 優先権主張番号 08/885636

(32) 優先日 1997年6月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 591236448

エスティーマイクロエレクトロニクス、イ  
ンコーポレイテッド

SGS-THOMSON MICROEL  
ECTRONICS, INCORPOR  
ATED

アメリカ合衆国、 テキサス 75006,  
カーロルトン、 エレクトロニクス ドラ  
イブ 1310

(74) 代理人 弁理士 小橋 一男 (外1名)

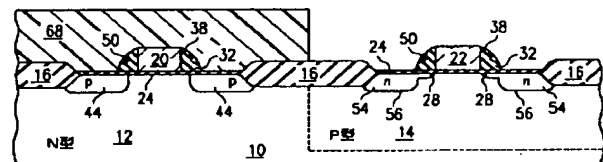
最終頁に続く

(54) 【発明の名称】 LDDNチャンネルトランジスタ及び非LDDPチャンネルトランジスタを具備するCMOS集積回路装置

(57) 【要約】

【課題】 Nチャンネル及びPチャンネルトランジスタを具備する改良した集積回路及びその製造方法を提供する。

【解決手段】 本発明方法によれば、ゲート電極に自己整合させてNチャンネルトランジスタ用のLDD領域を形成する。次いで、該構成体の上に第一酸化膜を形成し且つN型シリコン領域を該第一酸化膜を介してP+型ドーパントで注入しPチャンネルトランジスタのソース及びドレイン領域を形成する。第二酸化膜を該構成体の上に形成する。次いで、これら二つの酸化物層をエッチングして第一酸化膜から形成した内側部分と第二酸化膜から形成した外側部分とを有する側壁スペースを形成する。P型シリコン領域をN+型ドーパントで注入してNチャンネルトランジスタの低固有抵抗領域を形成する。Pチャンネルトランジスタのソース及びドレインにおけるP+注入物は、典型的に、本装置の後の熱処理期間中にゲートに向かって外拡散する。結果的に得られる集積回路は、LDDNチャンネルトランジスタとLDD領域のないPチャンネルトランジスタとを有している。



## 【特許請求の範囲】

【請求項 1】 CMOS 集積回路装置において、  
N 型領域の活性表面区域内に複数の P チャンネルトランジスタが形成されており、  
P 型領域の分離された活性表面区域内に複数の N チャンネルトランジスタが形成されており、  
前記 P チャンネル及び N チャンネルトランジスタに対してゲート電極が設けられており、前記ゲート電極はそれぞれの活性表面区域から分離されてその上側に存在しており、  
前記 P チャンネルトランジスタ用の P 型ソース領域及びドレイン領域が設けられており、各 P 型ソース及びドレイン領域は低固有抵抗領域から構成されており、  
前記 N チャンネルトランジスタに対して N 型ソース及びドレイン領域が形成されており、各 N 型ソース及びドレイン領域は低固有抵抗領域と LDD 領域を具備しており、  
各ゲート電極は各々が内側部分と外側部分とを具備する一対の側壁スペーサを具備しており、各側壁スペーサは下側に存在するソース及びドレイン領域に対応しており、  
各 P チャンネル低固有抵抗領域はそのそれぞれの側壁スペーサの外側部分及び内側部分の少なくとも一部の下側に位置されており、  
各 N チャンネル低固有抵抗領域はそのそれぞれの側壁スペーサの外側部分の少なくとも一部及び内側部分の一部の下側に位置しており、  
各 N チャンネル LDD 領域はそのそれぞれの低固有抵抗領域からそのそれぞれの側壁スペーサの内側部分の下側に延在している、ことを特徴とする CMOS 集積回路装置。

【請求項 2】 請求項 1 において、前記側壁スペーサの内側部分が酸化物を有していることを特徴とする CMOS 集積回路装置。

【請求項 3】 請求項 1 において、前記側壁スペーサの外側部分が酸化物を有していることを特徴とする CMOS 集積回路装置。

【請求項 4】 請求項 1 において、前記 P チャンネルソース及びドレインが BF<sub>2</sub> で注入したシリコンを有していることを特徴とする CMOS 集積回路装置。

【請求項 5】 請求項 1 において、  
前記 P チャンネルトランジスタのソース領域及びドレイン領域の低固有抵抗領域の間の距離が P チャンネル最小長と P チャンネル最大長との間であり、  
前記 P チャンネル最小長が前記トランジスタが短チャンネル効果に起因して信頼性をもって動作することのないものより短い距離であり、  
前記 P チャンネル最大長は前記トランジスタが効率的にターンオンすることのないものより大きい距離である、  
ことを特徴とする CMOS 集積回路装置。

【請求項 6】 請求項 1 において、前記 N チャンネルトランジスタの低固有抵抗領域の間の距離が N チャンネル最小 LDD 長と N チャンネル最大 LDD 長との間であり、

前記 N チャンネル最小 LDD 長は前記トランジスタが短チャンネル効果に起因して信頼性をもって動作することのないものより短い距離であり、

前記 N チャンネル最大 LDD 長は前記トランジスタが効率的にターンオンすることのないものより大きい距離である、ことを特徴とする CMOS 集積回路装置。

【請求項 7】 請求項 1 において、前記側壁スペーサが約 500 乃至 2500 Å の全幅を有していることを特徴とする CMOS 集積回路装置。

【請求項 8】 CMOS 装置において P チャンネル及び N チャンネルトランジスタを製造する方法において、  
前記装置の分離した活性区域を画定する N 型及び P 型シリコン領域上に P チャンネル及び N チャンネルトランジスタ用のゲート電極を形成し、

前記 N チャンネルトランジスタの LDD 領域を形成するために前記 P 型シリコン領域内に N 型ドーパントを注入し、

前記ゲート電極及び前記 N 型及び P 型シリコン領域上に第一絶縁層を形成し、

前記 P チャンネルトランジスタの低固有抵抗ソース及びドレイン領域を形成するために前記 N 型シリコン領域内に P+ 型ドーパントを注入し、

前記第一絶縁層の上に第二絶縁層を形成し、

前記第一及び第二絶縁層をエッチングして前記ゲート電極に隣接して前記シリコン領域上に側壁スペーサを設け、

前記 N チャンネルトランジスタのソース及びドレイン領域の低固有抵抗部分を形成するために前記 P 型領域の一部の中に N+ 型ドーパント不純物を注入する、上記各ステップを有することを特徴とする方法。

【請求項 9】 請求項 8 において、更に、前記 P+ 型ドーパントを注入するステップを実施した後に、前記 P+ 型注入物をそれぞれのゲートへ向かって拡散させるステップを有していることを特徴とする方法。

【請求項 10】 請求項 8 において、更に、  
前記 LDD 領域を形成するために前記 N 型ドーパントを注入するステップを実施する前に、前記 N 型シリコン領域を前記 N 型ドーパント注入からマスクするために前記 N 型シリコン領域をマスクし、

前記 N 型ドーパントを注入するステップを実施した後に前記 N 型シリコン領域からマスクを除去し、

前記 P+ 型ドーパントを注入するステップの前に実施するものであって前記 P+ 型ドーパント注入から前記 P 型シリコン領域をマスクするために前記 P 型シリコン領域をマスクし、

前記 P+ 型ドーパントを注入するステップの後であって

且つ第二絶縁層を形成する前記ステップの前に実施するものであって前記P型シリコン領域からマスクを除去し、

前記N+型ドーパントを注入するステップの前に実施するものであって前記N型シリコン領域を前記N+型ドーパント注入からマスクするために前記N型シリコン領域をマスクし、

前記N+ドーパントを注入するステップの後に実施するものであって前記N型シリコン領域からマスクを除去する、上記各ステップを有することを特徴とする方法。

【請求項 1 1】 請求項 8 において、前記第一絶縁層が酸化物を有していることを特徴とする方法。

【請求項 1 2】 請求項 8 において、前記第二絶縁層が酸化物を有していることを特徴とする方法。

【請求項 1 3】 請求項 8 において、前記P+型ドーパント不純物がBF<sub>2</sub>を有していることを特徴とする方法。

【請求項 1 4】 請求項 8 において、前記Pチャンネルトランジスタのソース及びドレイン領域の低固有抵抗領域の間の距離がPチャンネル最小長とPチャンネル最大長との間であり、

前記Pチャンネル最小長が前記トランジスタが短チャンネル効果に起因して信頼性をもって動作することのないものより短い距離であり、

前記Pチャンネル最大長が前記トランジスタが効率的にターンオンすることのないものより大きな距離である、ことを特徴とする方法。

【請求項 1 5】 請求項 8 において、前記第一絶縁層が約 5 0 0 乃至 2 5 0 0 Å の厚さを有していることを特徴とする方法。

【請求項 1 6】 請求項 8 において、前記Nチャンネルトランジスタの低固有抵抗領域間の距離は、Nチャンネル最小LDD長とNチャンネル最大LDD長との間であり、

前記Nチャンネル最小LDD長は前記トランジスタが短チャンネル効果に起因して信頼性をもって動作することのないものより低い距離であり、

前記Nチャンネル最大LDD長は前記トランジスタが効率的にターンオンすることのないものより大きな距離である、ことを特徴とする方法。

【請求項 1 7】 請求項 8 において、前記第二絶縁層が約 5 0 0 乃至 2 5 0 0 Å の厚さを有していることを特徴とする方法。

【請求項 1 8】 請求項 8 において、前記側壁スペーサが前記第一絶縁層から形成した内側部分と前記第二絶縁層から形成した外側部分とを有していることを特徴とする方法。

【請求項 1 9】 Pチャンネル及びNチャンネルトランジスタの製造方法において、N型及びP型シリコン領域上にPチャンネル及びNチャ

ンネルトランジスタ用のゲート電極であって分離絶縁層領域によって分離されているゲート電極を形成し、

前記N型シリコン領域をマスクし、

LDDを形成するために前記P型シリコン領域内にN型ドーパントを注入し、

前記N型シリコン領域からマスクを除去し、

前記ゲート電極及び前記N型及びP型シリコン領域上に第一絶縁層を形成し、

前記P型シリコン領域をマスクし、

前記Pチャンネルトランジスタのソース及びドレイン領域を形成するために前記N型シリコン領域内にP+型ドーパントを注入し、

前記P型シリコン領域からマスクを除去し、

前記第一絶縁層上に第二絶縁層を形成し、

前記第一及び第二絶縁層をエッチングして前記ゲート電極に隣接し前記シリコン領域上に側壁スペーサを設け、

前記N型シリコン領域をマスクし、

前記Nチャンネルトランジスタのソース及びドレイン領域の低固有抵抗領域を形成するために前記P型シリコン領域内にN+型ドーパントを注入し、

前記N型シリコン領域からマスクを除去し、

前記P+型注入物を前記ゲート電極に向かって拡散させる、上記各ステップを有することを特徴とする方法。

【請求項 2 0】 請求項 1 9 において、前記第一及び第二絶縁層が酸化物を有していることを特徴とする方法。

【請求項 2 1】 請求項 1 9 において、前記P+型ドーパント注入物がBF<sub>2</sub>を有していることを特徴とする方法。

【請求項 2 2】 請求項 1 9 において、

前記Pチャンネルトランジスタのソース及びドレイン領域の低固有抵抗領域の間の距離がPチャンネル最小長とPチャンネル最大長との間であり、

前記Pチャンネル最小長が前記トランジスタが短チャンネル効果に起因して信頼性をもって動作することのないものより小さな距離であり、

前記Pチャンネル最大長が前記トランジスタが効率的にターンオンすることのないものより大きい距離である、ことを特徴とする方法。

【請求項 2 3】 請求項 1 9 において、前記第一絶縁層が約 5 0 0 乃至 2 5 0 0 Å の厚さを有していることを特徴とする方法。

【請求項 2 4】 請求項 1 9 において、前記Nチャンネルトランジスタの低固有抵抗領域間の距離がNチャンネル最小LDD長とNチャンネル最大LDD長との間であり、

前記Nチャンネル最小LDD長は短チャンネル効果に起因して前記トランジスタが信頼性をもって動作することのないものより小さい距離であり、

前記Nチャンネル最大LDD長は前記トランジスタが効率的にターンオンすることのないものより大きな距離で

ある、ことを特徴とする方法。

【請求項 25】 請求項 19 において、前記第二絶縁層が約 500 乃至 2500 Å の厚さを有していることを特徴とする方法。

【請求項 26】 請求項 19 において、前記側壁スペーサが前記第一絶縁層から形成した内側部分と前記第二絶縁層から形成した外側部分とを有していることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は CMOS 集積回路装置構成体及びその製造方法に関するものであって、更に詳細には、自己整合型ゲートプロセスにおけるトランジスタドーピング分布に関するものである。

【0002】

【従来の技術】図 1 は基板 10 上に形成した従来の CMOS 集積回路装置の一部を示しており、それは代表的な P チャンネル及び N チャンネルトランジスタ 1、3 を有している。P チャンネルトランジスタ 1 はゲート電極 2 を有しており且つ N チャンネルトランジスタ 3 はゲート電極 4 を有しており、両方の電極はゲート酸化膜 24 の上に形成されており且つ両者は分離誘電膜 16 によって隔離されている。ゲート酸化膜 24 及び分離誘電膜 16 はシリコン基板 10 の N 型 12 及び P 型 14 シリコン領域の上側に存在している。従来の製造技術を使用して、N 型シリコン領域 12 をマスクし且つ N+ 型ドーパントをゲート電極 4 又は分離酸化膜 16 によって被覆されていない P 型シリコン領域内に注入して N チャンネルトランジスタ 3 のソース及びドレイン領域 6 を形成する。次いで、N 型シリコン領域 12 からマスクを除去し且つ P 型シリコン領域 14 をマスクする。次いで、P+ 型ドーパントをゲート電極 2 又は分離酸化膜 16 によって被覆されていない N 型シリコン領域 12 内へ注入して、P チャンネルトランジスタ 1 からなるソース及びドレイン領域 5 を形成する。次いで、このマスクを除去し且つ典型的に、該トランジスタの上に誘電膜を付着形成し且つ従来のメタリゼーション層を使用して該トランジスタの各々のソース、ドレイン、ゲートへ接続を形成することによって装置の形成を完了する。

【0003】装置寸法、特にチャンネル長が減少されるに従い、従来のドレイン構造 MOS 装置は例えばホットキャリア効果などの短チャンネル効果に起因して信頼性のないものとなる場合がある。従来のドレイン構造 N チャンネル MOS 装置 3 は従来のドレイン構造 P チャンネル MOS 装置 1 よりも短チャンネル効果に起因してより長いチャンネル長において信頼性のないものとなる場合がある。

【0004】この問題を解消する一つの方法は、ドレイン端部におけるピーク電界が減少されるように従来のドレイン構造を修正することである。このことは、該装置

内に軽度に変形したドレイン (LDD) 構造を発生させるためにドレイン端部におけるドレインドーピング密度を減少させることによって行うことが可能である。該装置における LDD 構造はゲート物質上の二酸化シリコンからなる側壁スペーサを使用して形成することが可能である。

【0005】図 2 は LDD 8、11 を有する相補的な N チャンネル 19 及び P チャンネル 17 MOSFET を示しており、それらは、典型的に、CMOS IC 装置における複数のこの様な MOSFET のうちの典型的なものである。CMOS 技術を使用して LDD MOSFET を形成する従来のプロセスにおいては、N 型 12 及び P 型 14 ウエルをシリコン基板 10 内に画定し且つ分離酸化膜 16 によって分離させる。次いで、ゲート酸化膜 24 を形成し且つポリシリコンゲート電極 20、22 をゲート酸化膜 24 上においてパターン形成する。次いで、P 型シリコン領域 14 をマスクし、次いで P 型ドーパントを N 型シリコン領域 12 内に注入して P チャンネルソース及びドレイン領域 7 の LDD 領域 8 を形成する。P 型シリコン領域 14 からマスクを除去し且つ次いで N 型シリコン領域 12 をマスクする。N 型ドーパントを P 型シリコン領域 14 内に注入して N チャンネルソース及びドレイン領域 9 の LDD 領域 11 を形成する。次いで該マスクを除去する。2000 乃至 5000 Å の厚さの二酸化シリコン層を該装置上に付着形成し、次いで該二酸化シリコンを異方性エッチバックしてゲート電極 20、22 上に酸化側壁スペーサ 13、15 を形成する。P 型シリコン領域 14 を、再度、マスクし、且つ P+ 型ドーパントを N 型シリコン領域 12 内に注入して P チャンネルソース及びドレイン領域 9 を形成する。次いで、該マスクを除去する。N 型シリコン領域 14 をマスクし、且つ N+ 型ドーパントを注入して N チャンネルソース及びドレイン領域 9 を形成する。従来の技術を使用して導電性相互接続及び絶縁層を形成し、該装置の処理を完了する。

【0006】LDD 装置の製造において公知の側壁スペーサ技術を使用する場合の問題は、N チャンネル装置の LDD 処理期間中に P チャンネル装置をマスクせねばならず、且つ P チャンネル装置の LDD 処理期間中に N チャンネル装置をマスクせねばならないということである。なぜならば、LDD 注入は製造中の CMOS 装置の全てのマスクしていない区域へ浸透するからである。従って、P チャンネル装置を製造する期間中に N チャンネル装置の区域を保護するためにエキストラなマスキング層が必要であり、且つ N チャンネル装置の製造期間中に P チャンネル装置の区域を保護するために別のエキストラなマスキング層が必要とされる。

【0007】図 3 は除去可能な側壁スペーサを使用して LDD 装置を製造する従来の方法に従って製造した LDD 8、11 を具備する複数の相補的な N チャンネル 23

及びPチャンネル21MOSFETのうちの二つを示している。N型及びP型ウエル12, 14をシリコン基板10内に画定し且つ分離酸化膜16によって分離させる。次いで、ゲート酸化膜24を形成し且つポリシリコンゲート電極20, 22をゲート酸化膜24の上にパターン形成する。酸化物又は窒化物からなる層を該装置の上に付着形成し、次いで、異方的にエッチバックしてゲート電極20, 22に隣接して側壁スペーサを形成する。P型シリコン領域14をマスクし且つP+ドーパントをN型シリコン領域12内に注入してPチャンネルソース及びドレイン領域7を形成する。該マスクを除去し且つN型シリコン領域12をマスクする。N+ドーパントを注入してNチャンネルソース及びドレイン領域9を形成する。該マスクを除去し、次いで、側壁スペーサを除去する。次いで、P型シリコン領域14をマスクし且つP型ドーパントをN型シリコン領域内に注入してPチャンネルソース及びドレイン領域7のLDD領域8を形成する。P型シリコン領域14からマスクを除去し、次いで、N型シリコン領域12をマスクする。N型ドーパントをP型シリコン領域14内に注入してNチャンネルソース及びドレイン領域9のLDD領域11を形成する。次いで、該マスクを除去する。従来の技術を使用して導電性相互接続及び絶縁層を形成して、本装置の処理を完了する。LDD装置を製造する場合に除去可能な側壁スペーサ技術を使用することの一つの問題は、Nチャンネル装置のLDD処理期間中にPチャンネル装置をマスクせねばならず、且つPチャンネル装置のLDD処理期間中にNチャンネル装置をマスクせねばならないということである。別の問題は、LDD注入の前にエッチプロセスによって側壁スペーサを除去せねばならないということである。従って、製造期間中に必要とされる二つのエキストラなマスク層、即ちPチャンネル装置の製造における一つとNチャンネル装置の製造における別の一つとに加えて、該装置の製造においてはエキストラなエッチングも必要とされる。

【0008】一方、インモスリミティッド(Inmos Ltd.)へ譲渡されている発明者Campbell et al.「MOSFET及び製造方法(MOSFET and Fabrication Method)」という名称の米国特許第5,087,582号に記載されているように、単に二つのマスクングステップを使用して除去可能な側壁スペーサ技術を使用することが可能である。再度図3を参照すると、P型シリコン領域14をマスクした状態で、P+ドーパントをN型シリコン領域12内に注入させてPチャンネルソース及びドレイン領域7を形成した後に、N型シリコン領域12上方の側壁スペーサを除去し且つ、次いで、P型ドーパントをN型シリコン領域12内に注入させてPチャンネルソース及びドレイン領域7のLDD領域8を形成する。該マスクを除去し、次いで、N型シリコン領域12をマ

スクする。N+ドーパントを注入してNチャンネルソース及びドレイン領域9を形成する。P型シリコン領域14上方の側壁スペーサを除去する。N型ドーパントをP型シリコン領域14内に注入させてNチャンネルソース及びドレイン領域9のLDD領域11を形成する。次いで、該マスクを除去する。従来の技術を使用して導電性相互接続及び絶縁層を形成し、本装置の処理を完了する。

【0009】LDD装置の製造においてこの別法の除去可能な側壁スペーサ技術を使用する場合の問題は、NチャンネルトランジスタにおいてLDD注入を形成する前にエッチングプロセスによって側壁スペーサをP型シリコン領域から除去せねばならず、且つPチャンネルトランジスタにおけるLDD注入を形成する前にN型シリコン領域から別のエッチングによって側壁スペーサを除去せねばならないということである。従って、Pチャンネル装置の製造期間中にエキストラなエッチングが必要とされ、且つNチャンネル装置の製造期間中に別のエキストラなエッチングが必要とされる。

【0010】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良したCMOS集積回路装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明によれば、CMOS装置におけるNチャンネル及びPチャンネルトランジスタを具備する集積回路を製造する方法が提供される。本方法によれば、該装置の分離した活性区域を画定するN型及びP型シリコン領域上にゲート電極を形成し、P型シリコン内にN型ドーパントを注入してNチャンネルトランジスタのLDD領域を形成する。次いで、ゲート電極上に第一絶縁層を形成し、且つ次いでN型シリコン領域をP+型ドーパント不純物で注入させてPチャンネルトランジスタの低固有抵抗ソース及びドレイン領域を形成する。第一絶縁層の上に第二絶縁層を形成する。次いで、第一及び第二絶縁層をエッチングして側壁スペーサを形成する。次いで、P型シリコン領域をN+型ドーパント不純物で注入してNチャンネルトランジスタの低固有抵抗領域を形成する。

【0012】結果的に得られるCMOS集積回路は、N型領域の活性表面区域内に形成された複数のPチャンネルトランジスタと、P型領域の分離された活性表面区域内に形成された複数のNチャンネルトランジスタとを有している。Pチャンネル及びNチャンネルトランジスタの各々は、それぞれの活性表面の上側に存在し且つそれから分離されているゲート電極を有している。該集積回路は、更に、各々が低固有抵抗領域から構成されているPチャンネルソース及びドレイン領域を有すると共に、各々が低固有抵抗領域及びLDD領域を有している

Nチャンネルソース及びドレイン領域を包含している。一対の側壁スペーサを具備する各ゲート電極は、各々が下側に存在するソース及びドレイン領域に対応している内側部分及び外側部分を有している。各Pチャンネル低固有抵抗領域は、そのそれぞれの側壁スペーサの内側部分の少なくとも一部及び外側部分の下側に位置している。各Nチャンネル低固有抵抗領域は、そのそれぞれの側壁スペーサの内側部分の一部及び外側部分の少なくとも一部の下側に位置している。各NチャンネルLDD領域は、そのそれぞれの低固有抵抗領域からそのそれぞれの側壁スペーサの内側部分の下側へ延在している。

#### 【0013】

【発明の実施の形態】装置寸法、且つ特にチャンネル長が小さくなるに従い、従来のドレイン構造MOS装置は例えばホットキャリア効果などの短チャンネル効果に起因して信頼性がないものとなる場合があるので、MOS装置の製造においてLDD領域が使用される。従来のドレイン構造PチャンネルMOS装置は従来のドレイン構造NチャンネルMOS装置よりもより短いチャンネル長において信頼性を維持する。図11を参照すると、CMOS技術を使用して製造したMOS装置は、そのソースとドレイン44'の間の距離70、即ちそのチャンネル長が最小長と最大長との間である場合に信頼性がある。最小長は、それより短い場合には、従来の電圧がゲート電極に印加された場合に短チャンネル効果に起因して該トランジスタが信頼性をもって動作することのない該トランジスタのソースとドレインとの間の距離である。最大長は、それより大きい場合に、該トランジスタが効率的にターンオンすることのない該トランジスタのソースとドレインとの間の距離である。該トランジスタは、従来の電圧が該トランジスタのゲート電極へ印加された場合に、該トランジスタのソースとドレインとの間に電流が流れない場合には効率的にターンオンすることはない。最小長及び最大長はゲート長さ、スペーサ長さ、拡散サイクル、注入物の接合深さなどに依存する。従来の電圧は、現在の技術においては、典型的に5、3、3、又は2.7Vである。

【0014】LDD領域を使用する場合には、ソース及びドレイン領域54の低固有抵抗領域の間の長さ72は最小LDD長さと最大LDD長さとの間でなければならない。最小LDD長さはそれより短い場合には該トランジスタが短チャンネル効果に起因して信頼性をもって動作することのない該トランジスタのソース及びドレイン領域54の低固有抵抗領域56の間の距離である。最大LDD長さは、それより大きい場合には該トランジスタが効率的にターンオンすることのない該トランジスタのソース及びドレイン領域54の低固有抵抗領域の間の距離である。該トランジスタは、従来の電圧が該トランジスタのゲート電極22へ印加される場合に、該トランジスタのソースとドレインとの間に電流が流れない場合に

効率的にターンオンすることはない。現在の技術においては、CMOS技術を使用して製造したNチャンネル装置の場合には、Nチャンネル最小LDD長さ及びNチャンネル最大LDD長さは、典型的に、主に、LDDを形成する不純物のドーピングノード及びLDD長さに基づいている。

【0015】本発明はトランジスタの装置寸法がゲート電極幅がPチャンネル最小長より小さいようなものである場合に、単純化したプロセスを使用して製造した面積を減少させることを可能とした信頼性のあるトランジスタを製造するためにそれぞれのトランジスタのソース及びドレインの間の長さを調節するために二つの絶縁層を使用している。

【0016】以下に記載する処理ステップ及び構成は集積回路を製造する場合の完全な処理の流れを構成するものではない。本発明は、当該技術分野において現在使用されている集積回路製造技術に関連して実施することが可能であり、本発明を理解する上で必要な処理ステップについて詳細に説明する。製造期間中における集積回路の一部の概略断面を示した添付の図面は縮尺通りに描いたものではなく、本発明の重要な特徴をよりよく示すために適宜拡張して示してある。

【0017】本発明の好適実施例に基づいて集積回路を製造する方法について説明する。図4を参照すると、シリコン基板10内にN型12及びP型14活性領域を形成する。PチャンネルトランジスタをN型シリコン領域12内に形成し、且つNチャンネルトランジスタをP型シリコン領域14内に形成し、尚、一つの代表的なN型領域12と一つの代表的なP型領域14が図面に示されていることを理解すべきである。分離酸化膜領域16をシリコン基板10上に成長させる。N型12及びP型14シリコン領域上にゲート酸化膜の薄い層24を形成する。ゲート酸化膜24は、好適には、コンフォーマル即ち適格的で、ドーブされておらず成長させた二酸化シリコンであって、典型的に60Åと250Åとの間の厚さを有している。ポリシリコンゲート電極20、22をゲート酸化物層24の上に形成し、次いで、後にN型ドーパントでドーブする。ゲート電極物質は、それが本発明方法によって必要とされる爾後の付着及びエッチングプロセスと適合性があれば異なるものとすることが可能である。理解すべきことであるが、ゲート電極物質はシリサイド又はポリサイド組成物を有することが可能である。該処理ステップはCMOS構成体の選択とは独立的なものであり、それはNウエル、ツインウエル又はPウエルとすることが可能であるが、添付の図面はNウエル及びPウエルを有するCMOS構成体を図示している。更に理解すべきことであるが、添付の図面は一つの相補的な対のCMOSトランジスタを示すに過ぎないが、単一のシリコン基板上に本発明に基づいてこのようなトランジスタからなるアレイを形成することが可能である。

【0018】図5を参照すると、N型シリコン領域12の上にホトレジストマスク26を付与する。次いで、P型シリコン領域14のマスクしていない区域内にN型ドーパントを注入させてNチャンネルトランジスタのソース及びドレイン領域内にLDD及びハロー注入物28を形成する。

【0019】次いで、該マスクを除去し、且つ図6に示したように本構成体の上に第一絶縁層29を付着形成する。この第一絶縁層29は、好適には、コンフォーマルなドーブしていない酸化物であるが、任意のコンフォーマルな絶縁体を使用することが可能である。第一酸化膜29は、ゲート電極20の両側における第一酸化膜29の厚さとゲート電極20の幅の和から爾後の処理ステップにおいてP+型ドーパントが外拡散する距離を差し引いたものがPチャンネル最小長より大きいPチャンネル最大長より小さいものであるように充分厚いものでなければならない。従来の技術においては、酸化膜29は500Åと2500Åとの間の厚さを有することが可能である。

【0020】次いで、従来のP+型ドーパントを注入することによって、Pチャンネルトランジスタのソース及びドレイン領域44を形成する。図7を参照すると、P型シリコン領域14の上にホトレジストマスク42を付与する。次いで、N型シリコン領域12のマスクしていない領域における第一酸化膜29を貫通してP型ドーパントを注入し、Pチャンネルトランジスタのソース及びドレイン領域44を形成する。該P型ドーパントは、好適には、ボロンであるが、BF<sub>2</sub>又は任意のその他のP型ドーパントを使用することが可能である。

【0021】図8を参照すると、マスク42を除去し、且つ本構成体の上に第二絶縁層48を付着形成する。第二絶縁層48は、好適には、コンフォーマルなドーブしていない酸化物であるが、任意のコンフォーマルな絶縁体を使用することが可能である。第二酸化膜48は、第一29及び第二48酸化膜から形成した側壁スペーサの幅とゲート電極22の幅との和がNチャンネル最小LDD長より大きく且つNチャンネル最大LDD長より小さいように充分に厚いものでなければならない。現在の技術においては、第二酸化膜48は500Åと2500Åとの間を有することが可能である。

【0022】次いで、酸化物層48を異方性エッチングして図9に示したように側壁スペーサ38を形成する。図8と9とを同時に参照すると、第一酸化膜29は側壁スペーサ38の内側部分32を形成している。第二酸化膜48は側壁スペーサの外側部分50を形成している。全体的な側壁スペーサ38の底端部の幅は、ゲート電極22の幅と結合されたゲート電極22に隣接した二つの側壁スペーサ38の底端部の幅がNチャンネル最小LDD長より大きく且つNチャンネル最大LDD長より小さいものとすべきである。現在の技術においては、側

壁スペーサ38の底端部の幅は1000Åと5000Åとの間とすることが可能である。

【0023】次に、従来のN+型ドーパントを注入することによって、Nチャンネルトランジスタのソース及びドレイン領域を形成する。図10を参照すると、N型シリコン活性区域12の上にホトレジストマスク68を付与する。N+型ドーパントをP型シリコン領域14のマスクしていない区域内に注入させてNチャンネルトランジスタのソース及びドレイン領域54を形成する。次いで、マスク68を除去する。

【0024】図11は爾後の熱プロセスの後に得られる構成体を示している。P+型注入物は更に側壁スペーサ38の下側に拡散する。該構成体は、LDDがない即ち非LDDMOSFETであるPチャンネルMOSFET60とNチャンネルLDDMOSFET62から構成されている。従来の処理ステップを使用してMOSFETを完成させることが可能である。ドーブしているか又はドーブしていない酸化物及び/又はSOGなどの誘電体（不図示）をMOSFETの上に付着形成させ、且つ該MOSFETのゲート20、22、ソース及びドレイン領域44'、54とメタリゼーション層（不図示）との間に接続を形成する。

【0025】第一酸化物層のみを使用するPチャンネルMOSFET60のソース及びドレイン領域44'の自己整合型の形成及び全体的な側壁スペーサ38を使用するNチャンネルMOSFET62のソース及びドレイン領域54の低固有抵抗部分56の自己整合型の形成は、最適化させた特性を有する相補的トランジスタ60、62を形成することを可能としている。このことは、更に、二つのマスクングステップと一つのエッチングとを使用して使用される処理ステップの数を減少させている。このことは、ゲート電極20の幅が非常に短く、従ってソース及びドレインがゲートに対して自己整合された場合には、後の熱処理ステップが該チャンネル長をPチャンネル最小長よりも小さいものとするであろうような場合に特に有用である。側壁スペーサの内側部分は、注入されるべきソース及びドレイン領域がゲート電極から更に離れ且つ隔離されることを可能とさせる。このことは、Pチャンネルトランジスタが短チャンネル効果の影響を受けることを防止する。側壁スペーサ38はNチャンネルトランジスタ62の低固有抵抗領域56が、Pチャンネルトランジスタ60のソース及びドレイン領域44'よりも更に離れて形成することを可能としている。このことは、Nチャンネルトランジスタ62が短チャンネル効果によって影響されることを防止している。

【0026】更に、図11を参照して、本発明の好適実施例に基づいて製造した集積回路の物理的な構造について詳細に説明する。Pチャンネルトランジスタ60はN型シリコン領域12内に位置されており、且つNチャンネルトランジスタ62はP型シリコン領域14内に位置

している。好適には、コンフォーマルな即ち適合的なドーピングしていない二酸化シリコンからなる誘電体膜 24 が基板 10 の活性 N 型 12 及び P 型 14 シリコン領域の上側に存在している。領域 12 及び 14 の活性表面部分は分離酸化膜 16 によって隔離されている。誘電体膜 24 の特性及び厚さは、ゲート酸化膜を形成するのに必要なものである。最近の処理技術においては、誘電体膜 24 は、通常、60 Å と 250 Å との間の厚さに付着形成した二酸化シリコンである。ゲート電極 20 及び 22 がゲート酸化膜 24 の上側に存在している。側壁スペーサ 38 はゲート電極 20、22 に隣接している。側壁スペーサ 38 の各々は、内側部分 32 と外側部分 50 とを有している。

【0027】P チャンネルトランジスタ 60 のソース及びドレイン領域 44' は、分離酸化膜 16 の周りの部分とゲート電極 20 との間の N 型シリコン領域 12 内に設けられている。P チャンネルトランジスタ 60 は従来のドレイントランジスタであるので、そのソース及びドレイン領域 44' は低固有抵抗領域から構成されている。P チャンネルトランジスタ 60 のソース及びドレイン領域 44' は、側壁スペーサ 38 の外側部分 50 の下側及び側壁スペーサ 38 の内側部分 32 の少なくとも一部の下側に位置している。P チャンネルトランジスタ 60 のチャンネル長 70 は、P チャンネル最小長より大きく且つ P チャンネル最大長より小さいものである。

【0028】N チャンネルトランジスタ 62 のソース及びドレイン領域 54 は、分離酸化膜 16 の周りの部分とゲート電極 22 との間の P 型シリコン領域 14 内に設けられている。N チャンネルトランジスタ 62 のソース及びドレイン領域 54 の低固有抵抗領域 56 は、側壁スペーサ 38 の外側部分 50 の少なくとも一部及び内側部分の一部の下側に位置している。N チャンネルトランジスタ 62 のソース及びドレイン領域 54 の LDD 領域 28 は、低固有抵抗領域 56 から側壁スペーサ 38 の内側部分 32 の下側へ横方向内側へ延在している。N チャンネルトランジスタ 60 の低固有抵抗領域 56 の間の距離 72 は N チャンネル最小 LDD 長より大きく且つ N チャンネル最大 LDD 長より短い。

【0029】ゲート電極 20 の幅は、ソース及びドレイン 44' がゲート 20 に対して自己整合されていた場合には、後の熱処理ステップによってチャンネル長 70 を P チャンネル最小長より小さいものとするであろうような非常に短いものとするのが可能である。この様に短いゲート電極幅を受入れるために、第一酸化膜を使用して低固有抵抗ソース及びドレイン領域 44' を自己整合させる。このことは P チャンネルトランジスタ 60 が短チャンネル効果によって影響されることを防止している。側壁スペーサ 38 を使用して、注入期間中において N チャンネルトランジスタ 62 のソース及びドレイン領域 54 の低固有抵抗領域 56 を自己整合させる。このこ

とは N チャンネルトランジスタ 62 の低固有抵抗領域 56 の間隔を、P チャンネルトランジスタ 60 のソース及びドレイン領域 44' よりも更に離れたものとするを可能とする。このことは、P チャンネルトランジスタ 60 に対して LDD 領域を必要とすることなしに、N チャンネルトランジスタ 62 が短チャンネル効果によって影響を受けることを防止している。

【0030】理解されるように、本発明は P チャンネルトランジスタ 60 のソース及びドレイン領域 44' をそのトランジスタに対して最適であるように隔離させて配置させるという利点を有している。同様に、N チャンネル装置 62 の低固有抵抗領域 56 は、P チャンネルトランジスタ 60 のソース及びドレイン領域 44' よりも最適に更に隔離させた間隔とすることが可能である。N チャンネルトランジスタ 62 の低固有抵抗領域 56 をこの様な最適間隔よりも近づけて配置させることは、N チャンネルトランジスタ 62 を短チャンネル効果によって損傷させる場合がある。N チャンネル MOS 装置は P チャンネル MOS 装置よりも短チャンネル効果によってより影響を受けやすいという現象は本発明によって解決される問題を発生させる。二つの酸化物層を使用することは、従来のドレイン（即ち、非 LDD）P チャンネルトランジスタ 60 及び LDD N チャンネルトランジスタ 62 を形成することを可能とし、従ってそれぞれのトランジスタのチャンネル長を最適化させ且つ CMOS IC 装置を製造する場合の処理ステップの数を減少させる。

【0031】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図 1】 従来のドレイン CMOS 装置を示した概略断面図。

【図 2】 N チャンネル及び P チャンネルトランジスタの両方が LDD と側壁スペーサとを有する従来の CMOS 装置を示した概略断面図。

【図 3】 N チャンネル及び P チャンネルトランジスタの両方が LDD を有しているが最終的な装置構成においては側壁スペーサを欠如している従来の CMOS 装置を示した概略断面図。

【図 4】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 5】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 6】 本発明に基づいて CMOS 装置における複数

個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 7】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 8】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 9】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

【図 10】 本発明に基づいて CMOS 装置における複数個の相補的トランジスタのうちの二つを形成するプロセスにおける一つの段階における状態を示した概略断面図。

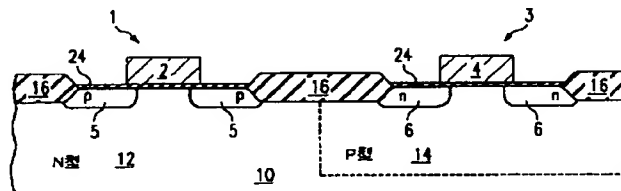
【図 11】 従来の導電性相互接続及び絶縁層を適用す

る前の製造プロセスにおける前進した段階においての複数個の相補的トランジスタのうちの二つを示した概略断面図。

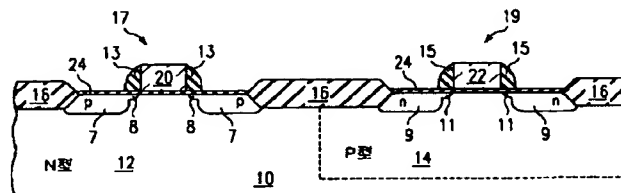
【符号の説明】

- 10 シリコン基板
- 12 N型シリコン領域
- 14 P型シリコン領域
- 16 分離酸化膜
- 20, 22 ゲート電極
- 24 ゲート酸化膜
- 26 ホトレジストマスク
- 28 LDD
- 29 第一絶縁層
- 32 内側部分
- 38 側壁スペーサ
- 42 マスク
- 44 ソース及びドレイン領域
- 48 第二絶縁層
- 50 外側部分
- 54 ソース及びドレイン領域

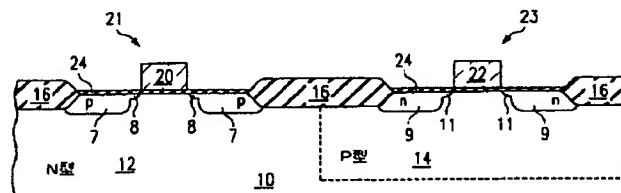
【図 1】



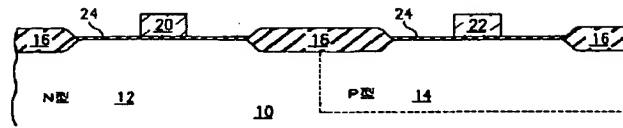
【図 2】



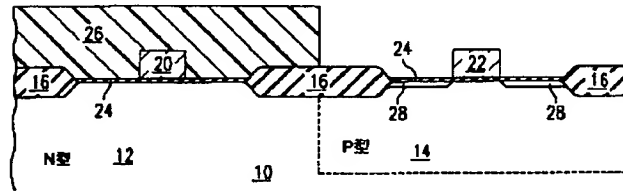
【図 3】



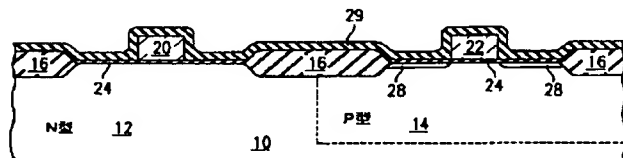
【図 4】



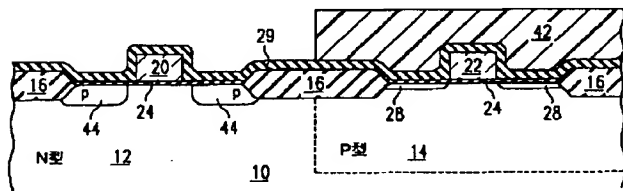
【図 5】



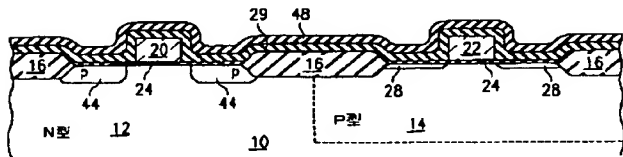
【図 6】



【図 7】



【図 8】



【図 9】

